

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

DERWENT-
ACC-NO: 1999-381805

DERWENT-
WEEK: 199932

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Insulating film of capacitor in semiconductor device - has laminated layered structure comprising silicon nitride films and silicon oxide film formed on substrate electrode

PATENT-ASSIGNEE: OKI ELECTRIC IND CO LTD[OKID]

PRIORITY-DATA: 1997JP-0318197 (November 19, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 11150246 A	June 2, 1999	N/A	007	H01L 027/108

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 11150246A	N/A	1997JP-0318197	November 19, 1997

INT-CL (IPC): H01L021/318, H01L021/822 , H01L021/8242 , H01L027/04 , H01L027/108

ABSTRACTED-PUB-NO: JP 11150246A

BASIC-ABSTRACT:

NOVELTY - A three layered structure is formed by laminating a silicon nitride films (3a,3c) and a silicon oxide film (3b) in- between them on a substrate electrode (2). The thickness of the silicon oxide film is 3 nm or more.

USE - Used for forming capacitors in semiconductor devices.

ADVANTAGE - The structure prevents deterioration of film by mechanical stress. The appropriate thickness of silicon oxide film prevents leakage current. The nitride films enhances electric constant.

DESCRIPTION OF DRAWING(S) - The figure shows the structure of capacitor with insulating film. (2) Substrate electrode; (3a,3c) Silicon nitride films; (3b) Silicon oxide film.

CHOSEN-
DRAWING: Dwg. 1/6

TITLE-
TERMS: INSULATE FILM CAPACITOR SEMICONDUCTOR DEVICE LAMINATE
LAYER STRUCTURE COMPRISE SILICON NITRIDE FILM SILICON OXIDE
FILM FORMING SUBSTRATE ELECTRODE

DERWENT-CLASS: L03 U12

CPI-CODES: L04-C12A; L04-C12B; L04-C14A;
EPI-CODES: U12-C02;

SECONDARY-ACC-NO:

CPI Secondary Accession Numbers: C1999-112470

Non-CPI Secondary Accession Numbers: N1999-286546

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150246

(43) 公開日 平成11年(1999)6月2日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108
21/8242
27/04
21/822

H 0 1 L 27/10 6 5 1
21/318 C
27/04 C

// H 0 1 L 21/318

審査請求 未請求 請求項の数13 O L (全 7 頁)

(21) 出願番号 特願平9-318197

(22) 出願日 平成9年(1997)11月19日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 高橋 正志

東京都港区虎ノ門1丁目7番12号沖電気工業株式会社内

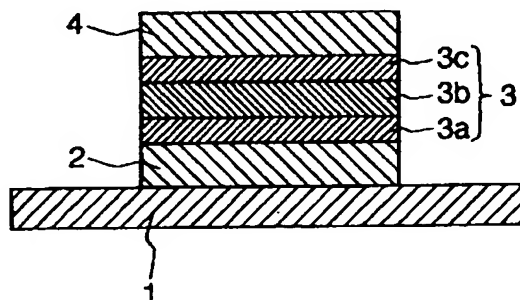
(74) 代理人 弁理士 小岩井 雅行 (外2名)

(54) 【発明の名称】 半導体装置のキャパシタ絶縁膜およびその製造方法

(57) 【要約】

【課題】 3層構造の場合には、薄型化した場合にもキャパシタの静電容量を確保し、かつ、良好な絶縁性を保つことができるキャパシタ絶縁膜を提供することを目的(課題)とする。

【解決手段】 基板1上に高濃度に不純物を含んだポリシリコンにより下層電極2を形成し、この下層電極2上に3層構造の絶縁膜3を形成し、最後に絶縁膜3上に上層電極4を下層電極2と同じく不純物を含むポリシリコンにより形成することにより構成されている。絶縁膜3は、下層電極2側から順に、第1のシリコン窒化膜(Si₃N₄) 3a、シリコン酸化膜(SiO₂) 3b、第2のシリコン窒化膜(Si₃N₄) 3cが重ねて構成されるN/O/Nの3層構造である。シリコン酸化膜3bの膜厚は3nm以上確保されており、第1、第2のシリコン窒化膜3a、3cの膜厚はほぼ等しくなるよう設定されている。



【特許請求の範囲】

【請求項1】 シリコン酸化膜とシリコン窒化膜とから構成され、下層、上層の電極間に配置される半導体装置のキャパシタ絶縁膜において、

前記下層電極に、第1のシリコン窒化膜、シリコン酸化膜、第2のシリコン窒化膜を順に積層して構成される3層構造であることを特徴とする半導体装置のキャパシタ絶縁膜。

【請求項2】 前記シリコン酸化膜の厚さは3nm以上であることを特徴とする請求項1に記載のキャパシタ絶縁膜。

【請求項3】 前記第1、第2のシリコン窒化膜の膜厚が互いにはほぼ等しいことを特徴とする請求項1に記載のキャパシタ絶縁膜。

【請求項4】 シリコン酸化膜とシリコン窒化膜とから構成され、下層、上層の電極間に配置される半導体装置のキャパシタ絶縁膜製造方法において、

前記下層電極上に、第1のシリコン窒化膜を形成する段階と、

前記第1のシリコン窒化膜上に、シリコン酸化膜を形成する段階と、

前記シリコン酸化膜上に、第2のシリコン窒化膜を形成する段階とを有し、これらの段階が順に実行されることを特徴とする半導体装置のキャパシタ絶縁膜製造方法。

【請求項5】 前記第1のシリコン窒化膜を形成する段階では、前記下層電極を熱窒化した後、LPCVD法によりシリコン窒化膜を堆積することを特徴とする請求項4に記載のキャパシタ絶縁膜製造方法。

【請求項6】 前記第1のシリコン窒化膜を形成する段階では、ロードロック式のLPCVD法によりシリコン窒化膜を堆積することを特徴とする請求項4に記載のキャパシタ絶縁膜製造方法。

【請求項7】 前記シリコン酸化膜を形成する段階では、CVD法によりシリコン酸化膜を堆積した後、酸化雰囲気中でアニールすることを特徴とする請求項4～6のいずれかに記載のキャパシタ絶縁膜製造方法。

【請求項8】 前記シリコン酸化膜を形成する段階では、CVD法によりシリコン酸化膜を堆積した後、アンモニアガス中でアニールし、その後、酸化雰囲気中でアニールすることを特徴とする請求項4～6のいずれかに記載のキャパシタ絶縁膜製造方法。

【請求項9】 シリコン酸化膜とシリコン窒化膜とから構成され、下層、上層の電極間に配置される半導体装置のキャパシタ絶縁膜製造方法において、

前記下層電極上に、ジクロールシランとアンモニアとを原料としてLPCVD法により600～700℃の範囲でシリコン窒化膜を形成する段階と、

前記シリコン窒化膜上に、シリコン酸化膜を形成する段階とを備え、これらの段階が順に実行されることを特徴とする半導体装置のキャパシタ絶縁膜製造方法。

【請求項10】 前記シリコン窒化膜を形成する段階では、650～700℃の範囲で処理されることを特徴とする請求項9に記載のキャパシタ絶縁膜製造方法。

【請求項11】 前記シリコン窒化膜を形成する段階では、ジクロールシランに対するアンモニアの流量比が1～5の範囲で処理されることを特徴とする請求項9または10のいずれかに記載のキャパシタ絶縁膜製造方法。

【請求項12】 シリコン酸化膜とシリコン窒化膜とから構成され、下層、上層の電極間に配置される半導体装置のキャパシタ絶縁膜製造方法において、

前記下層電極上に、ジクロールシランとアンモニアとを原料としてLPCVD法によりジクロールシランに対するアンモニアの流量比が1～5の範囲でシリコン窒化膜を形成する段階と、

前記シリコン窒化膜上に、シリコン酸化膜を形成する段階とを備え、これらの段階が順に実行されることを特徴とする半導体装置のキャパシタ絶縁膜製造方法。

【請求項13】 前記シリコン窒化膜を形成する段階では、600～700℃の範囲で処理されることを特徴とする請求項12に記載のキャパシタ絶縁膜製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、IC等の半導体装置に含まれるキャパシタの絶縁膜の構造、およびその製造方法に関する。

【0002】

【従来の技術】半導体装置に含まれるキャパシタは、不純物を含むポリシリコンである下層電極の上に絶縁膜を形成し、その絶縁膜上に不純物を含むポリシリコンにより上層電極を形成して構成される。従来の絶縁膜は、シリコン酸化膜(SiO_2)とシリコン窒化膜(Si_3N_4)との組み合わせからなり、O/N(酸化膜/窒化膜)の2層構造、あるいはO/N/O(酸化膜/窒化膜/酸化膜)の3層構造である。いずれの構成でも、酸化膜の厚さは3nm程度、窒化膜の厚さは3nm～10nmの厚さである。シリコン窒化膜は、ジクロールシラン(SiH_2Cl_2)あるいはモノシラン(SiH_4)と、アンモニア(NH_3)とを用いて低圧化学気相成長法(LPCVD法)により形成されている。

【0003】シリコン窒化膜の形成時、ジクロールシランとアンモニアとを用いる場合には反応の下限温度が約600℃であるが、温度が高いほど膜の形成速度が速いため、従来は700℃～750℃で形成されている。また、ジクロールシランに対するアンモニアの流量比($\text{NH}_3/\text{SiH}_2\text{Cl}_2$)は、10～100程度に設定されている。

【0004】

【発明が解決しようとする課題】半導体装置の小型化に伴って小さい電極面積で大きな静電容量を確保するために絶縁膜には薄い膜が求められているが、一方で絶縁性を確保するためには所定の膜厚が必要とされる。上述したO/N/Oの3層構造の従来の絶縁膜は、2層のシリ

コン酸化膜を有しているため絶縁膜全体に占める酸化膜の割合が大きいが、シリコン酸化膜はシリコン窒化膜と比較すると誘電率が低いため、絶縁膜全体の平均誘電率が比較的低く、一定の膜厚で得られる静電容量は比較的小さくなる。また、従来の3層構造の絶縁膜では、両側で電極に接して形成されたシリコン酸化膜の不純物に対するブロック性が低く、かつ、その機械的な強度、凹凸の影響にも弱いため、ポリシリコン電極からの不純物が酸化膜中に拡散したり、外部からの応力がかかった場合、あるいは三次元構造の電極や表面に凹凸がある電極を用いる場合に、絶縁性が低下し、特に絶縁膜が薄い場合にはこの低下が顕著となる。

【0005】一方、従来のO/Nの2層構造で、従来の製法により薄い絶縁膜を形成すると、電圧印加により絶縁膜が破壊するまでの寿命が短く、キャパシタの寿命、ひいてはキャパシタを含むIC等の半導体装置の寿命が短くなるという問題がある。

【0006】この発明は、上述した従来技術の問題点に鑑みてなされたものであり、3層構造の場合には、所定の膜厚で従来より大きな静電容量が確保でき、かつ、良好な絶縁性を保つことができるキャパシタ絶縁膜の構造、2層構造の場合には、薄型化した場合にも耐久性の高いキャパシタ絶縁膜の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】この発明にかかる半導体装置の3層構造のキャパシタ絶縁膜は、シリコン酸化膜とシリコン窒化膜とから構成され、下層、上層の電極間に配置される半導体装置のキャパシタ絶縁膜において、下層電極に、第1のシリコン窒化膜、シリコン酸化膜、第2のシリコン窒化膜を順に積層して構成されることを特徴とする。このような絶縁膜は、下層電極上に第1のシリコン窒化膜を形成する段階と、第1のシリコン窒化膜上にシリコン酸化膜を形成する段階と、シリコン酸化膜上に第2のシリコン窒化膜を形成する段階とを経て形成される。

【0008】上記の構成では、シリコン酸化膜の厚さが3nm以上であることが望ましく、また、第1、第2のシリコン窒化膜の膜厚がほぼ等しいことが望ましい。第1のシリコン窒化膜は、下層電極を熱窒化した後、LPCVD法によりシリコン窒化膜を堆積することにより形成することができ、あるいは、ロードロック式のLPCVD法によりシリコン窒化膜を堆積することにより形成することができる。さらに、シリコン酸化膜を形成する段階では、CVD法によりシリコン酸化膜を堆積した後、酸化雰囲気中でアニールすることが望ましく、アンモニアガス中でアニールした後、酸化雰囲気中でアニールすればより望ましい。

【0009】また、この発明にかかる半導体装置の2層構造のキャパシタ絶縁膜の製造方法は、下層電極上にジ

クロールシランとアンモニアとを原料としてLPCVD法により600~700℃の範囲、望ましくは650~700℃の範囲でシリコン窒化膜を形成する段階と、このシリコン窒化膜上にシリコン酸化膜を形成する段階とを有することを特徴とする。

【0010】さらに、この発明にかかる半導体装置の2層構造のキャパシタ絶縁膜の他の製造方法は、下層電極上にジクロールシランとアンモニアとを原料としてLPCVD法によりジクロールシランに対するアンモニアの流量比が1~5の範囲でシリコン窒化膜を形成する段階と、このシリコン窒化膜上にシリコン酸化膜を形成する段階とを有することを特徴とする。

【0011】

【発明の実施の形態】以下、この発明にかかる半導体装置のキャパシタ絶縁膜、およびその製造方法の実施形態を説明する。実施形態1のキャパシタ絶縁膜を含む半導体装置のキャパシタは、図1に示されるように、基板1上に高濃度に不純物を含んだポリシリコンにより下層電極2を形成し、この下層電極2上に3層構造の絶縁膜3を形成し、最後に絶縁膜3上に上層電極4を下層電極2と同じく不純物を含むポリシリコンにより形成することにより構成されている。なお、電極2、4は、シリコンにより形成してもよい。

【0012】絶縁膜3は、下層電極2側から順に、第1のシリコン窒化膜(Si₃N₄)3a、シリコン酸化膜(SiO₂)3b、第2のシリコン窒化膜(Si₃N₄)3cが重ねて構成されるN/O/Nの3層構造である。シリコン酸化膜3bの膜厚は3nm以上確保されており、第1、第2のシリコン窒化膜3a、3cの膜厚はほぼ等しくなるよう設定されている。

【0013】シリコン窒化膜はシリコン酸化膜と比較して高い緻密性と硬度を持ち、不純物やガスに対するブロック性が高く、凹凸に強いという特性を持っている。したがって、実施形態1のように電極に接する位置にシリコン窒化膜3a、3cを設けることにより、電極2、4に含まれる不純物の絶縁膜3内への拡散を防ぐことができると共に、外部から加えられる機械的な応力に対する耐性も強くなり、不純物の混入や機械的なストレス、電極の凹凸形状による絶縁膜の特性の劣化を防ぐことができる。

【0014】キャパシタの静電容量は電極間の距離に反比例し、絶縁膜の誘電率に比例するため、静電容量を大きくするためには絶縁膜を薄くし、絶縁膜の誘電率を高めればよいことになる。シリコン酸化膜の誘電率3.9に対してシリコン窒化膜の誘電率は6.9と高いため、実施形態1のように絶縁膜3中に占める窒化膜の割合を大きくすることにより、絶縁膜の平均誘電率を高めることができ、従来と同じ厚さでも静電容量を大きく確保することができる。

【0015】また、第1、第2のシリコン窒化膜3a、

3cの膜厚をほぼ等しく設定することにより、極性依存性をなくすることができる。図2のバンド図に示されるように、シリコン窒化膜中の電流の伝導はプールフレネル型の正孔が主であるため、下層電極(カソード)2、上層電極(アノード)4の両極側にシリコン窒化膜3a、3cを有することにより、負バイアス、正バイアスいずれの場合にも電子の伝導が抑えられる。加えて、シリコン酸化膜3bの膜厚が3nm以上あるために正孔の伝導はシリコン酸化膜3bにより抑えられる。このように電子、正孔の伝導が共に抑えられるため、リーク電流を抑制することができる。

【0016】次に、実施形態1のキャパシタの形成方法について説明する。キャパシタを含むウェーハは、CVD装置のチャンバ内でモノシラン(SiH_4)を原料とする低压化学気相成長法(LPCVD法)により600℃前後で処理され、表面に下層電極2に相当するポリシリコンの層が形成される。

【0017】下層電極2が形成されたウェーハは、アンモニア(NH_3)を用いて急速熱処理(Rapid Thermal Process; RTP)により800℃以上の温度で窒化される。熱窒化により表面にシリコン窒化膜の薄い層が形成されたウェーハは、CVD装置のチャンバ内に配置され、ジクロールシラン(SiH_2Cl_2)とアンモニア(NH_3)とを原料としてLPCVD法により700～750℃で処理され、所定の膜厚に達するまでシリコン窒化膜が蓄積される。

【0018】熱窒化のみで所定の膜厚の窒化膜を形成しようとする、高温で長時間の熱処理が必要となる。一方、RTPを経ずに通常のLPCVD法により処理すると、窒化膜が形成される前にポリシリコン層の表面が酸化し、下層電極2とシリコン窒化膜3aとの間に酸化膜が形成される。このため、一旦RTPで薄い窒化膜を形成した後、LPCVD法により膜を成長させている。

【0019】なお、ロードロック式のLPCVD装置を用いる場合には、RTPを経なくとも下層電極2上に酸化膜を形成することなくシリコン窒化膜3aを形成することができる。この場合にも、チャンバ内でジクロールシラン(SiH_2Cl_2)とアンモニア(NH_3)とを原料としてLPCVD法により700～750℃で処理され、ポリシリコン層の上に第1のシリコン窒化膜(Si_3N_4)3aが形成される。

【0020】次に、第1のシリコン窒化膜3aが形成されたウェーハは、CVD装置のチャンバ内に配置され、モノシラン(SiH_4)と酸化窒素(N_2O)とを原料としてLPCVD法により700～800℃で処理され、第1のシリコン窒化膜3aの上にシリコン酸化膜(SiO_2)3bが形成される。シリコン酸化膜3bは、テトラエチルオルソシリケート(Tetra-ethyl-Ortho-Silicate; TEOS)の熱分解を用いてLPCVD法により600～700℃で処理することにより形成することもできる。

【0021】上記のようにシリコン酸化膜3bをCVD

法により形成した場合には、膜が疎であり、欠陥を含む可能性があるため、ウェーハはシリコン酸化膜3bの形成後にアニール装置で処理される。アニールは、酸素(O_2)、あるいは酸化窒素(N_2O)を含む酸化雰囲気中で行われる。このとき、アニール温度を800℃程度に設定しておく、膜厚の増加を防ぐことができる。また、雰囲気中に酸化窒素(N_2O)が含まれる場合には、シリコン酸化膜3b中の未結合手を低温で短時間のうちに解消することができる。なお、アンモニア(NH_3)ガスの中でアニールをした後に、上記の酸化雰囲気によりアニールするようにしてもよい。

【0022】シリコン酸化膜3bは、上記のようなCVD法により形成する他、熱酸化装置を用いて形成してもよい。熱酸化による場合には、800～950℃のウェット雰囲気中で第1のシリコン窒化膜3aの表面を酸化させてシリコン酸化膜3bを形成する。ただし、この場合には、第1のシリコン窒化膜3aの膜厚の約1/2が酸化膜に転換されるため、この転換される膜厚を考慮に入れて、第1のシリコン窒化膜3aの形成時の厚さを最終的な厚さより厚く設定しておく必要がある。

【0023】シリコン酸化膜3bが形成されたウェーハは、CVD装置のチャンバにセットされ、ジクロールシラン(SiH_2Cl_2)とアンモニア(NH_3)とを原料としてLPCVD法により700～750℃で処理される。これにより、シリコン酸化膜3bの上に第2のシリコン窒化膜(Si_3N_4)3cが形成される。第2のシリコン窒化膜3cが形成されたウェーハは、最後にCVD装置のチャンバ内でモノシラン(SiH_4)を原料とするLPCVD法により600℃前後で処理され、表面に上層電極4に相当するポリシリコンの層が形成される。

【0024】図3は、上述した実施形態1の実施例2例と従来のO/N/Oの3層構造の比較例とを対象に実施した経時破壊(TDD)試験の結果を示すグラフである。試験は、電界12.5MV/cm、電極の面積0.14mm²の条件下で行われており、グラフはストレス時間(横軸、単位:秒)に対するキャパシタの累積不良率(縦軸、単位:%)を示している。

【0025】実施例1は、上述した何通りかの製法のうち、RTPにより1.6nmの窒化膜を形成した後にLPCVD法により3.9nmの窒化膜を堆積して第1のシリコン窒化膜3aを形成し、CVD法によりシリコン酸化膜を8.1nm形成して酸化雰囲気中でアニールし、LPCVD法により5.5nmの第2のシリコン窒化膜3cを形成して構成されている。

【0026】実施例2は、実施例1のシリコン酸化膜3bの形成後にアンモニア(NH_3)ガスの中で850℃で60秒アニールし、さらに酸化雰囲気(酸素(O_2))中で850℃で60秒アニールして形成されている。第1、第2のシリコン窒化膜3a、3cの形成、各膜厚は実施例1と同一である。比較例は、下層電極側から5.5nmの

シリコン酸化膜、8. 1 nmのシリコン窒化膜、5. 5 nmのシリコン酸化膜が順に積層して形成された絶縁膜を有している。

【0027】図3に示されるとおり、絶縁膜がN/O/Nの3層で構成される実施形態1のいずれの実施例も、O/N/Oの3層構造の比較例よりも寿命が長く、初期不良の発生率も低くなる。また、シリコン酸化膜3 bのアニールに際し、最初にアンモニアを用いて処理した後に酸化雰囲気中で処理することにより、アンモニアによる処理を経ずに酸化雰囲気中で処理するよりも寿命が延びることが理解できる。

【0028】図4は、実施形態2のキャパシタを示す。実施形態2では、下層電極2と上層電極4との間に配置された絶縁膜6が、下層電極2側から順に、シリコン窒化膜6 aとシリコン酸化膜6 bとのN/Oの2層構造で構成されている。シリコン窒化膜6 aが先に形成される点が従来例の2層構造の絶縁体とは異なる。

【0029】実施形態2のキャパシタの形成方法を説明する。下層電極2は、実施形態1と同様に、CVD装置のチャンバ内でモノシラン(SiH_4)を原料とするLPCVD法により600℃前後で処理して形成されるポリシリコン層である。下層電極2が形成されたウェーハは、ロードロック式のLPCVD装置のチャンバ内に配置され、ジクロールシラン(SiH_2Cl_2)とアンモニア(NH_3)とを原料としてLPCVD法により処理され、シリコン窒化膜6 aが形成される。シリコン窒化膜6 aの形成時のチャンパー内の温度は600～700℃、ガスの流量比($\text{NH}_3/\text{SiH}_2\text{Cl}_2$)は1～5の範囲内で設定される。

【0030】シリコン酸化膜6 bは、熱酸化装置を用い、800～950℃のウェット雰囲気中でシリコン窒化膜3 aの表面を酸化させて形成される。上層電極4は、下層電極2と同様にLPCVD法により600℃前後で処理して形成されるポリシリコン層である。

【0031】実施形態2の特徴は、シリコン窒化膜6 aの形成時の温度を600～700℃の範囲とすることと、その際のガスの流量比($\text{NH}_3/\text{SiH}_2\text{Cl}_2$)を1～5の範囲内で設定したことにある。絶縁膜6の厚さが5 nm程度である場合、上記の条件を満たすことにより絶縁膜の寿命を10年以上にすることができる。

【0032】図5は、実施形態2に示す2層構造でシリコン窒化膜6 aの形成条件を変化させて実施した経時破壊(TDD)試験の結果を示すグラフであり、(A)は形成温度を変化させた場合、(B)はガスの流量比($\text{NH}_3/\text{SiH}_2\text{Cl}_2$)を変化させた場合を示す。試験では、絶縁膜6の厚さを4. 5 nm、電極の面積0. 1 mm^2 とし、上層のシリコン酸化膜6 bは800℃、30分のウェット雰囲気中で形成されることを前提としている。試験は、高電圧を印加した加速試験として実行されており、図6に示すように各種の電圧での寿命(破壊するまでの時間)をプロットし、これを外挿することにより半導体装置の電源

電圧3 Vの半分、一般にキャパシタに印加される電圧1. 5 Vでの寿命を予測している。

【0033】形成温度を変化させる試験では、流量比($\text{NH}_3/\text{SiH}_2\text{Cl}_2$)は5に設定されている。図5(A)に示されるとおり、窒化膜形成時の温度が720℃程度より高くなると、寿命が10年より短くなる。形成温度が低いほど寿命は長くなるが、ジクロールシランとアンモニアとの反応の下限温度が約600℃であるため、これより低い温度では窒化膜を形成できない。そこで、形成温度は上限に多少の余裕を見て600～700℃の範囲にあることを条件としている。ただし、膜の形成速度は温度が高いほど早い、例えば、5 nmのシリコン窒化膜を形成する際に、600℃では約90分、650℃では約40分、680℃では約30分となる。したがって、600～700℃の範囲の中でも650℃以上、できれば680℃程度に設定すると、寿命と膜形成にかかる時間とのバランスをとることができる。

【0034】形成時のガス流量比を変化させる試験では、形成温度は680℃に設定されている。図5(B)に示されるように、流量比が約0. 7よりも小さいとき、および約8よりも大きいときには寿命が10年より短くなる。そこで、上限、下限に多少の余裕を見て、流量比が1～5の範囲にあることを条件としている。なお、流量比が下限より小さくなると、シリコン窒化膜6 a中のシリコンの濃度が高くなり、熱酸化によりシリコン酸化膜6 bを形成する際に、局部的に酸化が速く進む場合がある。このような場合には、酸化が速く進んだ部分でシリコン窒化膜に孔があいてその部分もシリコン酸化膜に転換されるため、絶縁膜6の絶縁性が劣化し、かつ、静電容量が減少する。

【0035】

【発明の効果】以上説明したように、この発明のN/O/Nの3層構造の絶縁膜を用いた場合には、電極に含まれる不純物の絶縁膜内への拡散を防ぐことができると共に、外部から加えられる機械的な応力、電極の凹凸形状に対する耐性も強くなり、不純物の混入や機械的なストレスによる絶縁膜の特性の劣化を防ぐことができる。また、誘電率の高い窒化膜の占める割合が大きくなるため、絶縁膜の平均誘電率を高めることができ、従来と同じ膜厚でもより大きな静電容量を確保することができる。さらに、第1、第2のシリコン窒化膜の膜厚をほぼ等しく設定した場合には、極性依存性をなくすことができ、加えて、シリコン酸化膜の膜厚を3 nm以上に設定することにより、リーク電流を抑制することができる。

【0036】また、この発明の方法によりN/Oの2層構造の絶縁体を形成した場合には、ジクロールシランとアンモニアとを用いてLPCVD法によりシリコン窒化膜を形成する際に、反応温度を600～700℃の範囲とすること、および/または、ガスの流量比($\text{NH}_3/\text{SiH}_2\text{Cl}_2$)を1～5の範囲内で設定することにより、膜厚5 n

m程度の絶縁膜の寿命を10年以上と長くすることができ、キャパシタの寿命、ひいてはキャパシタを含む半導体装置の寿命を長くすることができる。

【図面の簡単な説明】

【図1】 実施形態1にかかるキャパシタ絶縁膜を有するキャパシタの構造を示す概念図。

【図2】 実施形態1にかかるキャパシタ絶縁膜を有するキャパシタの負バイアス、正バイアス時のバンド図。

【図3】 実施形態1にかかるキャパシタ絶縁膜の実施例1、2と比較例とにつき、ストレス時間に対する累積不良率を示すグラフ。

【図4】 実施形態2にかかるキャパシタ絶縁膜を有するキャパシタの構造を示す概念図。

【図5】 実施形態2の構成で、(A)窒化膜の形成温度、(B)ガスの流量比をそれぞれ変化させた際の寿命の変化を示すグラフ。

【図6】 実施形態2の構成に対する寿命試験において、高電圧での加速試験による結果に基づいて電圧1.5Vでの寿命を予測する際の外挿の様子を示すグラフ。

【符号の説明】

2 下層電極

3 絶縁膜

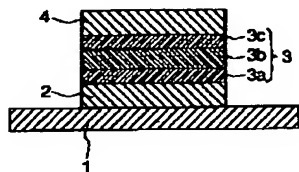
3a 第1のシリコン窒化膜

3b シリコン酸化膜

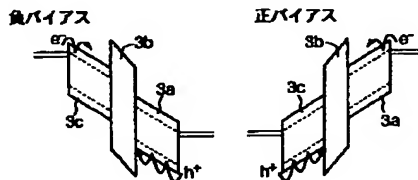
3c 第2のシリコン窒化膜

4 上層電極

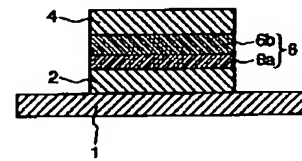
【図1】



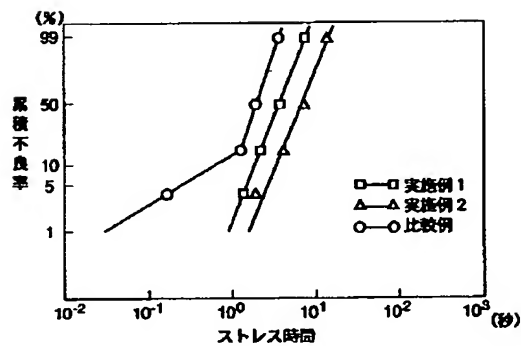
【図2】



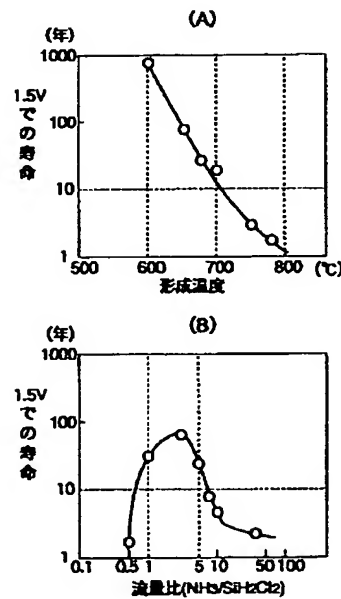
【図4】



【図3】



【図5】



【図6】

